

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-234381

(43)Date of publication of application : 10.09.1993

(51)Int.Cl. G11C 16/02
H01L 27/115
H01L 29/788
H01L 29/792

(21)Application number : 04-073339

(71)Applicant : SONY CORP

(22)Date of filing : 24.02.1992

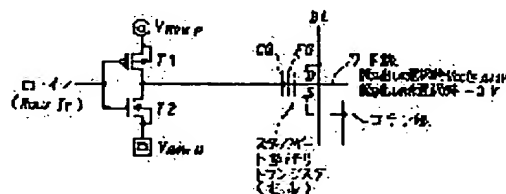
(72)Inventor : ARAKAWA HIDEKI

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To eliminate the danger of an excess erasure, to make the speed of a readout operation fast and to reduce a soft write operation when a power-supply voltage is lowered by a method wherein the voltage of a nonselection word line in a readout operation is set to a negative voltage.

CONSTITUTION: When a semiconductor memory device is written, a selection word line is set to, e.g. 12V and a nonselection word line is set to -3V. On the other hand, when it is read out, the selection word line is set to a power-supply voltage (e.g. 5V) and the nonselection word line is set to -3V. When the voltage of the nonselection word line in a readout operation is set to be negative, the following effect is obtained. First, even a cell whose V_{th} causing an excess erasure in conventional cases is negative does not become conductive. Consequently, the problem of the excess erasure is not caused. A margin on the lower side than an erasure judgment level becomes large. As long as the distribution of the V_{th} in an erased cell is not especially wide, the change width ΔV_{th} of the V_{th} between a write operation and an erasure operation can be made large as compared with that in conventional cases. As a result, the speed of the semiconductor memory device can be made high.



LEGAL STATUS

[Date of request for examination] 12.01.1999

[Date of sending the examiner's decision of rejection] 08.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-234381

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G11C 16/02				
H01L 27/115				
29/788				

9191-5L

G11C 17/00

307 A

8728-4M

H01L 27/10

434

審査請求 未請求 請求項の数1(全6頁) 最終頁に続く

(21)出願番号 特願平4-73339

(22)出願日 平成4年(1992)2月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 荒川 秀貴

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 弁理士 尾川 秀昭

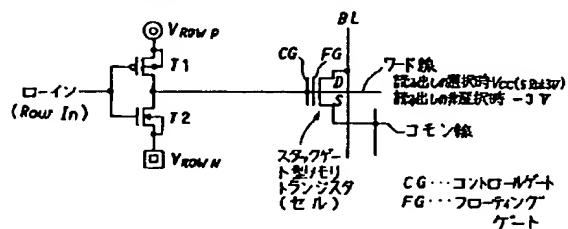
(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】 フローティングゲートにエレクトロンを注入することにより書き込みをする電氣的に消去可能なスタックゲートメモリMOSトランジスタ型の不揮発性半導体記憶装置において、過剰消去のおそれをなくし、読み出しスピードを早め、電源電圧を3Vに低くした場合には読み出し時のソフトライトの軽減、トンネル膜のストレスの軽減を図る。

【構成】 読み出し時の非選択のワード線に加える電圧(従来の0V)を負電圧、例えば-2~-5Vにする。

実施例の要部を示す回路図



【特許請求の範囲】

【請求項1】 フローティングゲートにエレクトロンを注入することにより書き込みをする電氣的に書き換え可能なスタックゲートメモリMOSトランジスタ型の不揮発性半導体記憶装置において、読み出し時における非選択のワード線の電圧を負電圧としてなることを特徴とする不揮発性半導体記憶装置

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、不揮発性半導体記憶装置、特にフローティングゲートにエレクトロンを注入することにより書き込みをする電氣的に書き換え可能なスタックゲートメモリMOSトランジスタ型の不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】スタックゲート（フローティングゲート）メモリMOSトランジスタ型不揮発性メモリは、特開平1-158777号公報にも紹介されているように、コントロールゲートに正電圧を印加してフローティングゲートにエレクトロンを注入することにより書き込みが行なわれ、その消去はコントロールゲート、即ち、ワード線に負電圧を印加してフローティングゲートにホールを注入するという方法で行われるのが普通である。

【0003】このような技術によれば、読み出しをするときはセルのドレイン（ビット線）に例えば1Vの電位を、ソース（コモン線）に0Vの電位を与え、そして、コントロールゲート（ワード線）に V_{cc} 、例えば5Vを与え、チャンネル電流が流れるか否かによってデータが書き込まれているか否かを検出する。即ち、フローティングゲートへのエレクトロンの注入による書き込みが為されている場合には電流が流れず、逆の場合には電流が流れるので、電流の有無の検出によってデータを読み出すことができるのである。

【0004】ところで、ワード線（コントロールゲート）は、読み出しのときにおいては、選択の場合には読み出しのため V_{cc} （例えば5V）を与えなければならないが、非選択の場合には0Vにしなければならないことはいうまでもない。また、書き込みのときは、ソース（コモン線）を0Vにし、ドレイン（ビット線）を例えば5Vにし、そして、コントロールゲート即ち、ワード線に正の高い電圧 V_{pp} （+10～12V、例えば12V）を印加して相対的に大きなチャンネル電流を流しエレクトロンをドレイン側からトンネル効果によりフローティングゲートへ注入する。この場合もワード線は非選択の場合には0Vにしなければならないこと読み出しの場合と全く同じである。

【0005】そして、消去する場合には、ドレイン（ビット線）をオープンにし、ソース（コモン線）を5Vにし、そして、フローティングゲート、即ちワード線に負の高い電圧 V_{pp} 、例えば-10Vを印加してフローティ

グに注入されたエレクトロンをソースへ抜き取り、これにより書き込まれたデータを消失させる。以上の述べたように、従来においては読み出し時における非選択のワード線は0V（選択ワード線は5V）であった。

【0006】

【発明が解決しようとする課題】ところで、従来においては読み出し時における非選択のワード線は0Vであり、そして選択ワード線にかける電圧は電源電圧が5Vの場合には5Vであり、読み出し時のワード線の電圧の振幅は5Vに過ぎなかった。このような、電氣的に消去可能な不揮発性半導体記憶装置において従来から問題となっていたのは過剰消去である。図5はこの過剰消去について説明するものである。

【0007】即ち、書いてないビット（セル）は V_{th} が低く、書いたビットは V_{th} が高くなる。そして、消去によって書いたビットの V_{th} は低くなるが、セルによって V_{th} がバラツキが生じ、 V_{th} の分布幅が広くなりがちなので、0Vよりも低い V_{th} のものも生じる可能性がある。そして、 V_{th} が0Vよりも小さなビットについては、読み出しのときにおいて非選択のワード線の電圧の電圧が0Vなので非選択時でも電流が流れてしまうという不都合が生じる。これが過剰消去（オーバーレース）である。

【0008】ちなみに、消去する場合、書いていないビットに対してもフローティングゲートからソースへのエレクトロンの引き抜きを行うと、 V_{th} が0Vよりも相対的に低くなり確実に過剰消去になる。そのため、消去をする場合には、先ず全ビットに対してデータの読み出しを行って書いてないビットを検出し、その書いていないビットには書き込みをして、即ちエレクトロンの注入をして全ビットが書き込まれた状態にしたうえで消去、即ちエレクトロンのフローティングゲートからの引き抜きを行わなければならない。

【0009】以上に述べたように、過剰消去は非選択でも電流が流れるので、即ち、コントロール電圧による制御が利きかなくなるので絶対に避けなければならない。そこで、イニシャルの消去 V_{th} を0Vよりも充分に高い1.5～2Vに高め、 V_{th} がバラツキでも0V以下のビット（セル）ができないようにしていた。この場合においては消去判定レベルが3～3.5V程度あるいはそれ以上になり、必然的に読み出しスピードが低くなる。このように、従来において電源電圧の振幅が5Vと小さいので過剰消去を避けようとする消去判定レベルを高くしなければならず、その結果読み出しスピードが遅くなるという結果を招いた。

【0010】また、電源電圧には低電圧化の傾向があり、電氣的に消去可能な不揮発性半導体記憶装置においても電源電圧を3Vにする要求があり、それに応える技術開発が必要である。ところで、電源電圧を3Vにした不揮発性半導体記憶装置においても従来の技術的思想を

踏襲すれば非選択のワード線の電圧は0Vで、選択ワード線の電圧は5Vにする必要がある。というのは、セルの書き込み後の V_{th} と消去後の V_{th} とのマージンを考えた場合、ワード線の読み出し時の振幅は3Vでは不十分であり、少なくとも5V（上述のように5Vでも充分といえない。）は必要だからである。

【0011】即ち、電源電圧が3Vなのに昇圧して読み出し時の電圧を例えば5Vまで高めなければならないが、これは読み出し時におけるソフトライトの可能性を高めるので好ましくない。読み出しによるソフトライトというのは、読み出しの時に書き込みの時はコントロールゲートに高い電圧はかけないが、しかし、例えば5V程度の電圧をかける（ドレインには1V）ので、僅かながらとはいえホットエレクトロンが発生し、FNTトンネルによりフローティングゲートに注入されてしまう現象である。そして、このソフトライトはゲート電圧への依存性がきわめて大きいので、読み出し時に選択ワード線に加える電圧は低い程良い。しかるに、電源電圧が3Vにも拘らず昇圧して5Vもの電圧を選択ワード線に加えようとするのはソフトライトの面からは愚かしいことである。

【0012】本発明はこのような問題点を解決すべく為されたものであり、コントロールにエレクトロンを注入することにより書き込みをする電氣的に書き換え可能なスタックゲートメモリMOSトランジスタ型の不揮発性半導体記憶装置において、過剰消去の問題をなくし、読み出しスピードを高め、電源電圧の低電圧化を図った場合には読み出し時のソフトライトの軽減を図ることができ、新規な不揮発性半導体記憶装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明不揮発性半導体記憶装置は、読み出し時における非選択のワード線の電圧を負電圧としてなることを特徴とする。

【0014】

【作用】本発明不揮発性半導体記憶装置によれば、過剰消去によりセルの V_{th} が多少0Vよりも低くなっても非選択のワード線の電圧が負電圧なので、そのセルの V_{th} の絶対値が非選択のワード線の負電圧の絶対値よりも大きくなり、誤動作しない。従って、過剰消去がなくなる。そして、電源電圧の振幅を大きくでき、

書き込みセルの V_{th} と消去セルの V_{th} との差 ΔV_{th} を大きくできるので高スピード化を図ることができる。

【0015】

【実施例】以下、本発明不揮発性半導体記憶装置を図示実施例に従って詳細に説明する。図1は本発明不揮発性半導体記憶装置の一つの実施例の要部を示す回路図である。本不揮発性半導体記憶装置は通常のスタックゲート型Flash E² PROMで、図1には1つのワード線の1つのセルを抽出して示してある。コントロールゲートはワード線に、ソースはコモン線に、ドレインはビット線に接続されている。

【0016】T1、T2はアドレスデコーダからの信号をレベル変換してつくったロー入力信号Rowinを受けるCMOSインバータを構成するMOSトランジスタで、T1はpチャンネルMOSトランジスタ、T2はnチャンネルMOSトランジスタである。T1のソースは電源電圧 V_{DDP} 端子に、T2のソースは電源電圧 V_{DDN} 端子に接続されている。そして、このCMOSインバータの出力点がワード線と接続されている。

【0017】図2はnチャンネルMOSトランジスタT2が二重ウェル構造を有することを示す断面図である。nチャンネルMOSトランジスタT2を二重ウェル構造にするのは、即ち、p型基板1にn型ウェル2を形成し、更にこのn型ウェル2内にp型ウェル3を形成しこのp型ウェル3内にトランジスタを形成した構造にするのは、MOSトランジスタT2のドレインに負電圧が加わった時に基板1とドレインの間が順バイアスされて基板へ電流が漏れてしまうのを防止するためである。

【0018】本不揮発性半導体記憶装置においての書き込み時及び読み出し時におけるワード線について説明すると、書き込み時には選択ワード線を例えば12V、非選択のワード線を-3Vにし、また読み出し時には選択ワード線を電源電圧、即ち電源電圧が5Vなら5Vに、電源電圧が3Vなら3Vにし、そして、非選択のワード線を-3Vにする。ちなみに、従来においては電源電圧が3Vの場合には読み出し時における選択ワード線を5Vにしていた。下記の表1は書き込み時と読み出し時の各電圧の変化を示すものである。

【0019】

【表1】

電 圧		Row In	V _{ROW P}	V _{ROW N}	ワード線電 圧
モード	選 択	-3 V	12 V	-3 V	12 V
	非 選 択	12 V	12 V	-3 V	-3 V
読み出し	選 択	-3 V	5 V又は3 V	-3 V	5 V又は3 V
	非 選 択	5 V又は3 V	5 V又は3 V	-3 V	-3 V

【0020】このように、読み出し時の各電圧を変化させれば、上述したようにワード線を変化させることができる。そして、本不揮発性半導体記憶装置において読み出し時の非選択のワード線の電圧を負電圧（本例では-3 Vだが必ずしもこれに限定されず、例えば-2 V～-5 Vでも良い）にすることに最大の特徴がある。図3は読み出し時の非選択のワード線のレベル（実線）を従来との比較の上で示すものである。

【0021】このように、読み出し時の非選択のワード線の電圧を負電圧にすることにより、必然的に次の効果が得られる。まず、読み出し時の非選択のワード線のレベルが負電圧であるので、従来ならば過剰消去となるV_{th}がマイナスのセルであっても導通することはない（勿論、V_{th}が-3 V以下になれば導通するが、それは特別な異常が起きない限り起り得ない）。従って、過剰消去の問題はなくなる。そして、消去判定レベルよりも下側のマージンが大きくなり、消去したセルのV_{th}の分布幅が特に広くなるということがない限り、書き込みと消去との間のV_{th}の変動幅ΔV_{th}を従来よりも大きく出来るので高速化ができる。

【0022】次に、不揮発性半導体記憶装置の電源電圧を3 Vに低電圧化した場合には本不揮発性半導体記憶装置によって次の効果が得られる。第1に、読み出し時に選択ワード線に加える電圧として電源電圧（3 V）をそのまま利用し、読み出し時のワード線の電圧の振幅不足は非選択のワード線を負電圧にすることによりカバーでき、ドレイン・コントロールゲート間の電圧を従来よりも低くすることにより読み出し時のソフトライトを軽減できる。

【0023】前にも述べたが、従来の場合、読み出し時の非選択のワード線を負電圧にするという発想がなく、0 Vにしていたので、書き込み後のV_{th}と消去後のV_{th}のマージンを確保するために最小限5 Vの振幅が読み出し時のワード線の電圧に必要であることから、選択ワード線は電源電圧を昇圧して5 Vにする必要があった。しかし、このようにすると5 Vに相応するソフトライトが生じ、わざわざソフトライトを強くしていることになる。

【0024】しかるに、本不揮発性半導体記憶装置によれば、読み出し時の選択ワード線の電圧を昇圧しないで電源電圧（3 V）としても非選択のワード線の電圧を-3 Vというような負電圧にすることにより読み出し時の電圧の振幅の確保乃至拡大を図ることができる。そして、ソフトライトを左右する選択ワード線は3 Vで済み、ソフトライトが軽減される。

20 【0025】第2に、図4に示すように書き込む時のフローティングゲートへのエレクトロンの注入量を少なくできるという効果が得られる。即ち、従来においては、フローティングゲートのチャージ量が0にあるイニシャルの状態から5～6 V分のチャージを注入することにより書き込んでいたが、本不揮発性半導体記憶装置において電源電圧を3 Vに低電圧化した場合には、図2に示すようにイニシャルの状態から2.5～3.5 V分のチャージをするだけで書き込みができ、それだけトンネル膜（厚さ100オングストローム程度）に加わる電界強度

30 が低くなり、ストレスが小さくなる。
【0026】Cレシオ（即ち、コントロールゲート・フローティングゲート間容量/フローティングゲート回りの容量トータル）を0.6とすると、厚さ100オングストロームのトンネル膜には、従来だと約3～4 V/cmの電界が加わるが、本不揮発性半導体記憶装置によれば、それを1.5～2 MV/cmに弱めることができる。これは、換言すれば、従来においてはワード線を5 Vにしてカットオフするようなチャージ量が必要だったが、本不揮発性半導体記憶装置によればワード線を3 Vでカットオフできるようなチャージ量で済むので、チャージ量を少なくでき、延いてはチャージによってトンネル膜に与える電界の強さを少なくできるということである。尚、本発明不揮発性半導体記憶装置においては、消去（Verify）は従来と同じ条件で行って良い。

【0027】

【発明の効果】本発明不揮発性半導体記憶装置は、読み出し時における非選択のワード線の電圧を負電圧としてなることを特徴とするものである。従って、本発明不揮発性半導体記憶装置によれば、過剰消去によりセルのV_{th}が多少0 Vよりも低くなっても誤動作しない。従っ

て、過剰消去の問題がなくなる。そして、電源電圧の振幅を大きくでき、書き込みセルの V_{th} と消去セルの V_{th} との差 ΔV_{th} を大きくできるので高スピード化を図ることができる。

【0028】そして、電源電圧が低電圧化した場合、読み出し時における選択ワード線の電圧を昇圧しなくても非選択のワード線の電圧を負電圧にすることによりワード線の読み出し時の電圧の振幅を充分な大きさに確保できる。そして、読み出し時の選択ワード線の電圧を低くできるのでリードディスタース（読み出し時のソフトライト）の軽減を図ることができ、また、低い電圧でカットオフする量のエレクトロンを書き込めば良いので、書き込みチャージ量を少なくでき、延いてはチャージによりトンネル膜に加わる電界も弱くて済む。

10

*

＊【図面の簡単な説明】

【図 1】本発明不揮発性半導体記憶装置の一つの実施例の要部を示す回路図である。

【図2】図1に示す回路のnチャンネルMOSトランジスタT2の概略断面図である。

【図 3】上記実施例の読み出し時の非選択のワード線のレベルを従来の場合と比較して示す図である。

【図４】本実施例において電源電圧を３Ｖに低電圧化した場合の書き込みのチャージの説明図である。

【図5】従来の問題点である過剰消去の説明図である。

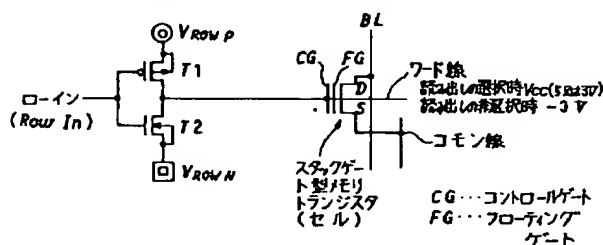
【符号の説明】

CG コントロールゲート

FG フローティングゲート

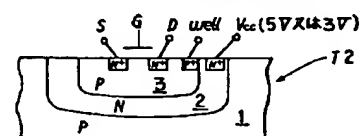
【圖 1】

実施例の要部を示す回路図



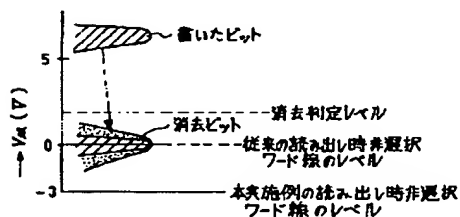
【圖2】

トランジスタ T2 の概略断面図



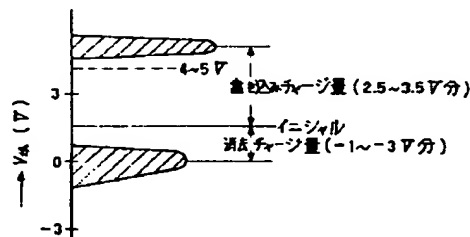
【図3】

読み出し時の非選択ワード線のレベル



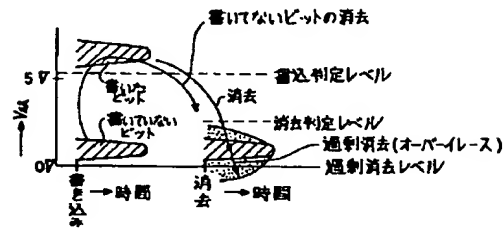
【图4】

電源電圧 3 V の場合の書き込みのチャージの説明図



【図5】

従来の問題点である過剰消去の説明図



フロントページの続き

(51)Int.Cl.³
H01L 29/792

識別記号

片内整理番号

F I

技術表示箇所

H01L 29/78

371